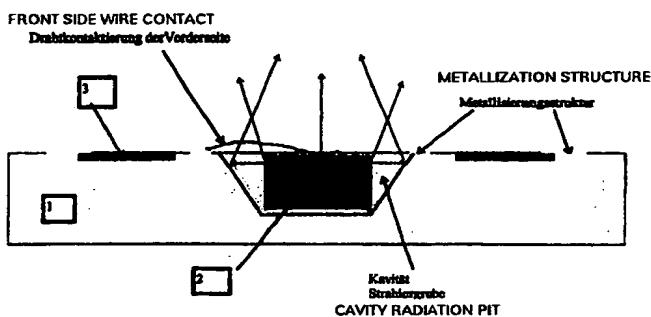


(51) Internationale Patentklassifikation ⁶ : H01L 25/18, 29/06, 25/16	A1	(11) Internationale Veröffentlichungsnummer: WO 99/28971
		(43) Internationales Veröffentlichungsdatum: 10. Juni 1999 (10.06.99)

(21) Internationales Aktenzeichen: PCT/DE97/02812	(81) Bestimmungsstaaten: CA, JP, KR, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
(22) Internationales Anmeldedatum: 3. Dezember 1997 (03.12.97)	Veröffentlicht <i>Mit internationalem Recherchenbericht.</i>
(71) Anmelder (<i>für alle Bestimmungsstaaten ausser US</i>): CIS INSTITUT FÜR MIKROSENSORIK [DE/DE]; Haar- bergstrasse 61, D-99097 Erfurt (DE).	
(72) Erfinder; und	
(75) Erfinder/Anmelder (<i>nur für US</i>): PREUSS, Klaus-Dieter [DE/DE]; Körnerstrasse 6, D-99099 Erfurt (DE). SCHMIDT, Andreas [DE/DE]; Boyneburgufer 7, D-99089 Erfurt (DE). STOLLBERG, Dieter [DE/DE]; Lilienthalweg 5, D-99087 Erfurt (DE). WALLERER, Horst [DE/DE]; Bukarester Strasse 13, D-99091 Erfurt (DE). STEINKE, Arndt [DE/DE]; Karl-Marx-Strasse 67, D-99192 Inger- sleben (DE).	
(74) Anwalt: LIEDTKE, Klaus; Postfach 100 956, D-99019 Erfurt (DE).	

(54) Title: ELECTRONIC HYBRID COMPONENT AND METHOD FOR THE PRODUCTION THEREOF

(54) Bezeichnung: ELEKTRONISCHES HYBRID-BAUELEMENT UND VERFAHREN ZU SEINER HERSTELLUNG



(57) Abstract

The aim of the invention is to provide an electronic hybrid component and a method for the production thereof. The component has a reverse side electrical bonding of the implanted components and a coplanar chip-on-chip arrangement. The method for the production of said component enables the utilization of conventional process engineering methods used in microelectronics and microsystems technology. According to the invention, this is achieved by providing a component with at least one cavity on a carrier substrate comprising an electrical insulation coating with a superimposed metal coating. A chip is electrically bonded to the metal coating in the cavity. The invention relates to an electronic hybrid component with a chip-on-chip arrangement in which at least one implanted chip is arranged on a silicon carrier and to a method for the production of said component.

(57) Zusammenfassung

Der Erfindung liegt die Aufgabe zugrunde, ein elektronisches Hybrid-Bauelement und ein Verfahren zu seiner Herstellung anzugeben, wobei das Bauelement eine elektrische Rückseitenkontaktierung von implantierten Bauelementen bei gleichzeitiger koplanarer Chip On Chip-Anordnung aufweist und das Verfahren zur Herstellung dieses Bauelementes die Verwendung der in der Mikroelektronik und Mikrosystemtechnik üblichen Verfahrenstechnik gestattet. Erfindungsgemäß gelingt die Lösung der Aufgabe mit einem Bauelement, bei dem in einem Trägersubstrat mindestens eine Kavität eingearbeitet ist, in der sich eine elektrische Isolationsschicht mit einer darüber angeordneten Metallschicht befindet und bei dem in der Kavität ein Chip mit der Metallschicht elektrisch kontaktiert ist. Die Erfindung betrifft ein elektronisches Hybrid-Bauelement mit Chip On Chip-Anordnung, bei dem mindestens ein implantiertes Chip auf einem Siliziumträger angeordnet ist und ein Verfahren zur Herstellung dieses Bauelementes.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Amenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		

5

10 **Elektronisches Hybrid-Bauelement und Verfahren zu seiner Herstellung**
=====15 **Die Erfindung betrifft ein elektronisches Hybrid-Bauelement mit Chip On Chip - Anordnung, bei dem mindestens ein implantiertes Chip auf einem Siliziumträger angeordnet ist und ein Verfahren zur Herstellung dieses Bauelementes.**20 **Die Anwendung der Erfindung ermöglicht eine Kontaktierung von implantierten Bauelementen, die elektrische Anschlüsse auf der Vorder- und der Rückseite aufweisen, bei gleichzeitiger Realisierung eines elektrischen Kontaktes zwischen der Rückseite des implantierten Bauelementes und der Vorderseite des Trägermaterials.**

25

30 **Die im Stand der Technik bekannten Technologien zur Herstellung hybrider Bauelemente gestatten entweder die elektrische Rückseitenkontaktierung aufgesetzter Bauelemente auf Leitbahnstrukturen als Chip On Chip - Anordnung oder die quasimonolithische Chip On Chip - Anordnung ohne elektrische Verbindung zur Rückseite des implantierten Bauelementes.**

Bei der Chip On Chip - Anordnung erfolgt die Strukturierung des Trägermaterials mit den Standardverfahren der Mikroelektronik und Mikrosystemtechnik in einer Ebene. Dabei wird das Aufsetzen der zu

35

montierenden Bauelemente und das Verbinden z.B. mittels Leitkleber für den Rückseitenkontakt auf den Trägerchip vorgenommen und die elektrische Kontaktierung der Vorderseitenkontakte durch Drahtbondung oder Flipchip-Montage realisiert. Bei Anwendung der Hybridbauelemente in Flipchip-Montagen erfolgt der Ausgleich der Höhendifferenzen der Kontaktflächen von Trägerchip und aufgesetzten Bauelementen beispielsweise durch den Einsatz von Mehrfach-An-stud-bumps.

Bei der quasimonolithischen Chip On Chip - Anordnung werden die Bauelemente planar in die Trägersubstrate aus Silizium eingebettet. Dabei erfolgt keine elektrische Rückseitenkontaktierung durch das Einkleben der zu montierenden Bauelemente. Die Oberflächenplanierung, sowie die Kontaktierung der implantierten Bauelemente durch Dünnschichtverfahren wird von der Vorderseite ausgeführt.

15

Es sind ferner eine Reihe von Verfahren zur monolithischen Integration verschiedener Halbleiterstrukturen und -materialien bekannt, z.B. durch Heteroepitaxie.

20

Mit den gegenwärtigen Lithografie- und Strukturierungsverfahren der Mikroelektronik und Mikrosystemtechnik werden Strukturen in einer Ebene bis in den Submikrometerbereich realisiert, wobei maximale Topologieunterschiede bis zu einigen μm überwunden werden.

25

Spezielle Verfahren der Mikrosystemtechnik erlauben nach einer KOH-Ätzung in das Silizium bis zu einer Tiefe von 50 μm eine gleichzeitige Strukturierung auf der Oberfläche, den Grabenseiten und innerhalb des abgesenkten Gebietes.

30

Aufgrund der optischen Bedingungen für eine zufriedenstellende Auflösung auf der Oberfläche sind der fortschreitenden Tiefenabsenkung enge Grenzen gesetzt. Ferner ergeben sich Probleme für eine ausreichende und reproduzierbare Bedeckung der Grabenkanten mit Photoresist bei größeren Tiefenabsenkungen. Bei diesen Tiefen reißt der

5 Fotolack an den Kanten der abgesenkten Gebiete ab. Bei der Verwendung von Lötstopplacken, die aufgrund ihres Füllstoffanteiles eine bessere Kantenabdeckung gewährleisten, werden die erforderlichen minimalen Strukturbreiten von ca. 10 µm nicht aufgelöst.

10 5 Bei der Anwendung eines Lift-off-Prozesses wird eine Lackfreiheit für die abgesenkten Grabengebiete bei gleichzeitiger Ausbildung der notwendigen überhängenden Lackkanten für das eigentliche Liften nicht erreicht. Damit werden für die üblichen fotolithografischen Prozeßschritte, das Beschichten, Belichten und Entwickeln Verfahrensgrenzen erreicht.

15 10 Anordnungen und Verfahren zur Herstellung hybrider Bauelemente, welche sowohl eine elektrische Rückseitenkontaktierung der zu implantierenden Bauelemente als auch eine planare quasimonolithische Chip On Chip - Anordnung realisieren, sind dem Stand der Technik nach nicht bekannt.

20 15 Neue Produkte und sensorische Wirkprinzipien erfordern zur Realisierung einer produktionsfähigen Massentechnologie die Absenkung des zu implantierenden Bauelementes in den Träger bis zu einer Tiefe von einigen Hundert Mikrometern.

25 20 Der Erfindung liegt die Aufgabe zugrunde, ein elektronisches Hybrid-Bauelement und ein Verfahren zu seiner Herstellung anzugeben, wobei das Bauelement eine elektrische Rückseitenkontaktierung von implantierten Bauelementen bei gleichzeitiger koplanarer Chip On Chip-Anordnung aufweist und das Verfahren zur Herstellung dieses Bauelementes die Verwendung der in der Mikroelektronik und Mikrosystemtechnik üblichen Verfahrenstechnik gestattet.

30 25

Erfindungsgemäß wird die Aufgabe mit einem Bauelement gelöst, bei dem in einem Trägersubstrat mindestens eine Kavität eingearbeitet ist, in der sich eine elektrische Isolationsschicht mit einer darüber angeordneter Metallschicht befindet und bei dem in der Kavität ein Chip mit der Metallschicht elektrisch kontaktiert ist.

5

Vorteilhafte Ausgestaltungen des erfindungsgemäßen Bauelementes sind in den Unteransprüchen 2 bis 4 angegeben.

10

Das Bauelement ermöglicht die Implantation von aktiven und/oder passiven elektronischen, optoelektronischen, mikromechanischen und/oder aktorischen Bauelementen, die aus Festkörpermaterialien bestehen und halbleiter- bzw. mikrosystemtechnische Funktionen haben. Es ist für konventionelle Kontaktierungstechniken, wie Ultraschall- und Thermosonikbondung oder Leitklebung verwendbar. Der Vorderseitenanschluß des Chips kann konventionell durch Al-Ultraschall-Bondung mit flacher Brückenhöhe realisiert werden. Beim Implantieren einer LED erfolgt die Anordnung der LED zweckmäßig so, daß deren Oberfläche wenige Mikrometer unter dem Oberflächenniveau der Empfängerchips liegt. Auf diese Weise wird eine Direkteinstrahlung des abgestrahlten Lichts auf die fotoempfindliche Oberfläche vermieden. Neben der direkten LED-Abstrahlung in das über der Gesamtanordnung liegende Gebiet kann durch Reflexion von der metallisierten Grabenoberfläche nahezu die gesamte Strahlerleistung zur Signalgewinnung genutzt werden.

20

25

30

Das erfindungsgemäße Herstellungsverfahren besteht darin, daß in dem Siliziumträger durch anisotrope Ätzung eingebrachte abgesenkten Gebiete erzeugt werden und daß die Strukturierung zur Erzeugung der elektrisch leitenden Verbindung zwischen den abgesenkten Gebieten und den auf der planaren

Fläche befindlichen Leitbahnstrukturen durch ein Mehrfach-Metallisierungssystem erfolgt.

Dabei erfolgt zweckmäßigerweise nach dem Si-Ätzen eine Isolierung der abgesenkten Strukturen durch Oxidation oder durch Abscheiden von Isolatorschichten auf dem Träger,

5 danach eine Metallisierung der abgesenkten Gebiete und des Trägermaterials,

10 als nächstes findet eine Strukturierung der Mehrfach-Metallisierungsschicht innerhalb eines fotolithografischen Strukturierungsprozesses unter Einhaltung bestimmter minimaler Strukturbreiten statt (das Mehrfach-Metallisierungssystem wird vorteilhafterweise dadurch erzeugt, daß die obere Metallisierungsschicht als Maskierungsschicht für die nachfolgenden Ätzprozesse verwendet wird),

15 danach werden die zu implantierenden Elemente plaziert und kontaktiert und

anschließend erfolgt die elektrische Kontaktierung zwischen Trägerchip und Implantatvorderseite.

20 Dabei ist es möglich, daß die elektrische Kontaktierung des Hybridbauelementes aus Trägerchip und Implantat auf einem Schaltungsträger (z.B. einer Leiterplatte) in Form von Drahtbondung, Flip-chip-Kontaktierung, TAB und ähnlichem vorgenommen wird.

25 Mit dem erfindungsgemäßen Verfahren können zur Herstellung von Silizium-Bauelementen durch anisotrope Ätzung in dem Silizium abgesenkte Gebiete erzeugt werden, die elektrisch vom Substratmaterial isoliert sind und eine Metallisierungsschicht zur Kontaktierung aufweisen. Damit wird gleichzeitig ein elektrischer Kontakt zwischen der Rückseite des implantierten Bauelementes und der Vorderseite des Trägermaterials erzeugt.

5

Das erfindungsgemäße Verfahren ermöglicht es, eine elektrisch leitende Verbindung zwischen dem abgesenkten Gebiet und der Oberfläche des Trägers herzustellen, an der sich die Schaltung befindet bzw. weiter innerhalb eines fotolithografischen Strukturierungsprozesses realisiert wird. Damit werden die Voraussetzungen zur gleichzeitigen Realisierung eines elektrischen Kontaktes zwischen Rückseite des implantierten Bauelementes und der Vorderseite des Trägermaterials geschaffen.

10

Die Erfindung wird nachfolgend an einem Ausführungsbeispiel näher erläutert.

In der zugehörigen Zeichnung zeigen:

15

Figur 1: ein hybrides Bauelement herkömmlicher Ausführung in Chip On Chip - Anordnung und

Figur 2: eine Schnittdarstellung eines erfindungsgemäß hergestellten Bauelementes.

20

Figur 1 zeigt ein hybrides Bauelement in Chip On Chip - Ausführung. Bei der Anordnung fotoempfindlicher Schichten auf dem Chip führt in diesem Fall die Direktbestrahlung der fotoempfindlichen Schicht mit störendem Streulicht zu Fehlern bei der fotolektrischen Auswertung.

25

Das in Figur 2 dargestellte erfindungsgemäße hybride Bauelement mit Chip On Chip - Anordnung weist einen planaren Aufbau von Silizium-Träger 1 und implantierten Chips beliebigen Substratmaterials auf. Mit dieser Anordnung wird eine elektrische Kontaktierung der Rückseite

30

der implantierten Bauelemente realisiert. Die Herstellung des Bauelementes ist mit den in der Mikroelektronik und der Mikrosystemtechnik gebräuchlichen Verfahren möglich. In dem hier erläuterten Fall kommen speziell angepaßte Verfahrensschritte zur Anwendung. Im dargestellten Beispiel wird als Träger ein optisches PIN- Diodenarray mit acht um die zu implantierende LED 2 gruppierten Diodenfeldern 3 verwendet. Die Montage des implantierten Bauelementes erfolgt durch Mikrodispensen von Leitkleber mit eng tolerierter Mengendosierung.

10 Bei der Herstellung der Silizium-Träger 1 kommen speziell entwickelte Verfahrensschritte für die Realisierung von abgesenkten Gebieten im Träger durch entsprechende Ätzverfahren zur Anwendung. Anschließend erfolgt eine Abscheidung oder Oxidation von Schichten zur Isolation der abgesenkten Strukturen auf den Träger. Danach ist eine

15 Metallisierung der abgesenkten Gebiete und des Trägermaterials vorgesehen. Im folgenden wird die elektrisch leitende Verbindung zwischen abgesenktem Gebiet und den Strukturen auf der planaren Oberfläche des Trägermaterials innerhalb eines fotolithografischen Strukturierungsprozesses unter Einhaltung bestimmter minimaler Strukturbreiten

20 hergestellt. Mit diesen Verfahrensschritten wird gleichzeitig ein elektrischer Kontakt zwischen der Landefläche des implantierten Bauelementes und der Vorderseite des Trägermaterials erzielt. In dem Strukturierungsprozeß wird die elektrisch leitende Verbindung zwischen den abgesenkten Gebieten und den auf der planaren Fläche befindlichen Leitbahnstrukturen durch ein Dreifach-Metallisierungssystem realisiert. Dabei dient die obere Metallisierungsschicht als Maskierungsschicht für die nachfolgenden Ätzprozesse. Es wird bei sicherer elektrischer Kontaktierung der abgesenkten Gebiete auf dem Trägerchip eine simultane Strukturierung der Verdrahtungsebene der Trägerchips ohne wesentliche Beeinflussung der Entwurfsregeln erreicht. Die

25

30

nachgewiesene Auflösungsgrenze liegt bei 10 µm Strukturbreite bis an die Kante des abgesenkten Gebietes.

5

Im Rahmen der technologischen Teilschrittfolge zur Herstellung dieser Strukturen werden folgende Prozesse an <100> - Si - Wafermaterial durchgeführt.

10

Zur Herstellung der abzusenkenden Gebiete wird ein Trägersubstrat mittels einer Passivierungsschicht aus Siliziumnitrid beschichtet. In einem getrennten fotolithografischen Schritt werden die abzusenkenden Gebiete strukturiert.

Dem schließt sich ein RIE-Ätzen von Si-Nitrid und ein Lackentfernen an.

15

Nach dem naßchemischen Ätzen des Feldoxides (thermisches Tauchätzen) erfolgt die Tiefenätzung ins Silizium und das Rückätzen der Oxidkanten. Anschließend erfolgt eine thermische Oxidation und das Entfernen des Nitrids mittels heißer Phosphorsäure. Danach wird das Material mit Schwefelsäure gereinigt. Dem folgt ein Überätzen vor der Metallisierung und anschließend eine Abscheidung des Dreifach-Metallisierungssystems mit der Schichtfolge Al - TiN - Al.

20

In dem sich anschließenden Komplex zum Beschichten der Grabenkan ten wird mit dem Aufbringen und Temperi von Flüssigkeitvermittler begonnen. Anschließend werden die abgesenkten Gebiete mit einem modifizierten Positivlack aufgefüllt (Dispensen, Siebdruck o.ä.) und getrocknet. Dem folgt das Aufbringen einer Positivlackschicht durch spin-coating einschließlich Trocknen, Belichten, Entwickeln und Härt en der Lackmaske zur Erzeugung der Metallstrukturen.

25

Nach dieser Schrittfolge wird die obere Al-Schicht naßchemisch geätzt und der Lack entfernt. Dem folgt ein RIE-Ätzen der TiN-Schicht und das naßchemische Ätzen der unteren Al-Schicht, die nachfolgend durch H₂-Temperi behandelt wird.

30

Die elektrische Kontaktierung der Rückseite der implantierten Bauelemente auf die Landefläche im abgesenkten Gebiet wird durch Leitklebung auf der nichtoxidierenden TiN- Metallisierungsschicht des Silizium-Trägers erreicht. Erzielbare Toleranzen in der Ablagegenauigkeit betragen in Abhängigkeit vom Equipment ca. 10 µm in x- und y-Richtung und ca. 5 µm in z-Richtung.

Der Silizium-träger 1 ermöglicht die Implantation von aktiven und/oder passiven elektronischen, optoelektronischen, mikromechanischen und/oder aktorischen Bauelementen, die aus Festkörpermaterialien bestehen und halbleiter- und mikrosystemtechnische Funktionen ausüben. Nach dem Härteprozeß wird die elektrische Kontaktierung von Trägerchip und Implantat durch Drahtbonden durchgeführt.

Die obenliegende TiN-Schicht bildet eine nichtoxidierende Metalloberfläche und ist damit für konventionelle Kontaktierungstechniken, wie Ultraschall- und Thermosonikbondung oder Leitklebung verwendbar. Der Vorderseitenanschluß der LED 2 wird konventionell durch Al-Ultraschall-Bondung mit flacher Brückenhöhe realisiert. Die Anordnung der LED 2 erfolgt so, daß die Oberkante wenige Mikrometer unter der Ebene der Empfängerchips liegt. Auf diese Weise wird eine Direkteinstrahlung des abgestrahlten Lichts auf die fotoempfindliche Oberfläche vermieden. Neben der direkten LED-Abstrahlung in das über der Gesamtanordnung liegende Gebiet kann durch Reflexion von der metallisierten Grabenoberfläche nahezu die gesamte Strahlerleistung zur Signalgewinnung genutzt werden.

-10-

PATENTANSPRÜCHE

5

- 10 1. Elektronisches Hybrid-Bauelement mit Chip On Chip - Anordnung, bei dem mindestens ein implantiertes Chip auf einem Trägersubstrat angeordnet ist, **dadurch gekennzeichnet**, daß in dem Trägersubstrat mindestens eine Kavität eingearbeitet ist, in der sich eine elektrische Isolationsschicht mit einer darüber angeordneten Metallschicht befindet und daß in der Kavität ein Chip mit der Metallschicht elektrisch kontaktiert ist.

- 15 2. Hybrides Bauelement nach Anspruch 1, **dadurch gekennzeichnet**, daß die Oberseite des implantierten Chips koplanar zur Substratoberfläche angeordnet ist.

- 20 3. Hybrides Bauelement nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, daß die Metallschicht als Mehrschichtsystem ausgebildet ist, wobei die obere Metallschicht aus einer nichtoxidierenden Schicht besteht.

- 25 4. Hybrides Bauelement nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß das Trägersubstrat als ein optisches PIN-Diodenarray mit um einer implantierten LED (2) gruppierten Diodenfeldern ausgebildet ist.

5. Hybrides Bauelement nach Anspruch 3, **dadurch gekennzeichnet**, daß die LED 2 so angeordnet sind, daß ihre Oberkanten wenige Mikrometer unter der Ebene der Diodenfelder liegt.

5

6. Verfahren zur Herstellung eines elektronischen Hybrid-Bauelementes mit Chip On Chip - Anordnung, **dadurch gekennzeichnet**, daß in das Trägersubstrat durch anisotrope Ätzung abgesenkte Gebiete erzeugt werden und die Strukturierung zur Erzeugung der elektrisch leitenden Verbindung zwischen den abgesenkten Gebieten und den auf der planaren Fläche befindlichen Leitbahnstrukturen durch ein Mehrfach-Metallisierungssystem erfolgt,

10

15

20

25

7. Verfahren nach Anspruch 6, **dadurch gekennzeichnet**, daß

- anschließend an das Ätzen eine Isolierung der abgesenkten Strukturen durch Oxidation oder durch Abscheiden von Isolatorschichten auf den Träger erfolgt,
- danach eine Metallisierung der abgesenkten Gebiete und des Trägermaterials vorgenommen wird und
- danach eine Strukturierung der Mehrfach-Metallschicht innerhalb eines fotolithografischen Prozesses unter Einhaltung bestimmter minimaler Strukturbreiten hergestellt wird,
- danach die zu implantierenden Elemente plaziert und kontaktiert werden und
- anschließend die elektrische Kontaktierung des Trägerchips mit der Implantatvorderseite erfolgt.

8. Verfahren nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß die obere strukturierte Metallisierungsschicht als Maskierungsschicht für die nachfolgenden Ätzprozesse dient.

5

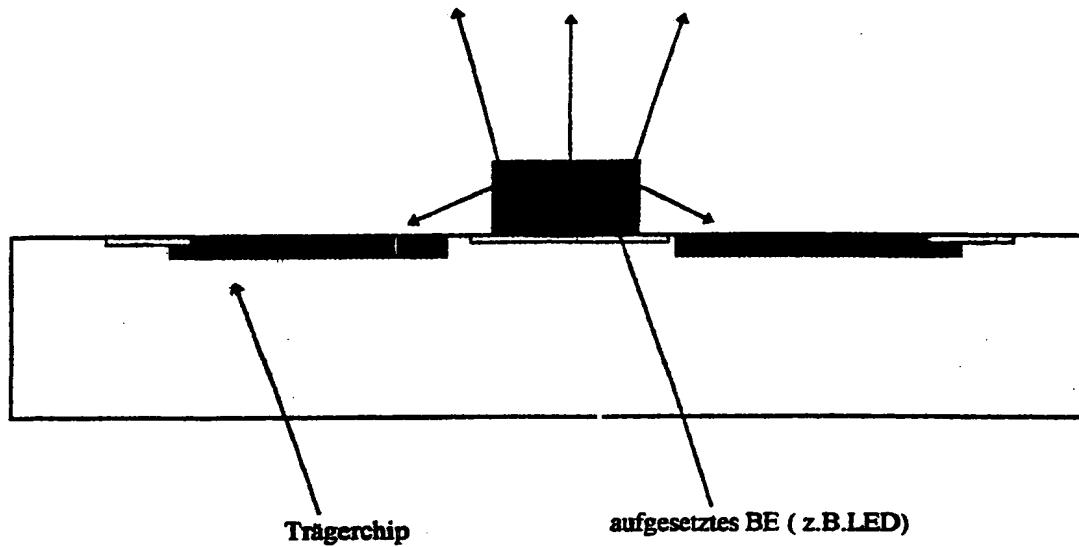
9. Verfahren nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß zur Bedeckung der Grabenkanten der abgesenkten Gebiete ein Beschichtungsverfahren angewendet wird, bei dem ein Auffüllen der abgesenkten Grabengebiete mit einem modifizierten Positvlack durch Dispensen oder Siebdrucken und Trocknen des Lackes und danach ein Aufbringen eines weiteren Positvlackes durch spin-coating, Sprühen oder Vorhanggießen und Trocknen des Lackes erfolgt.

10

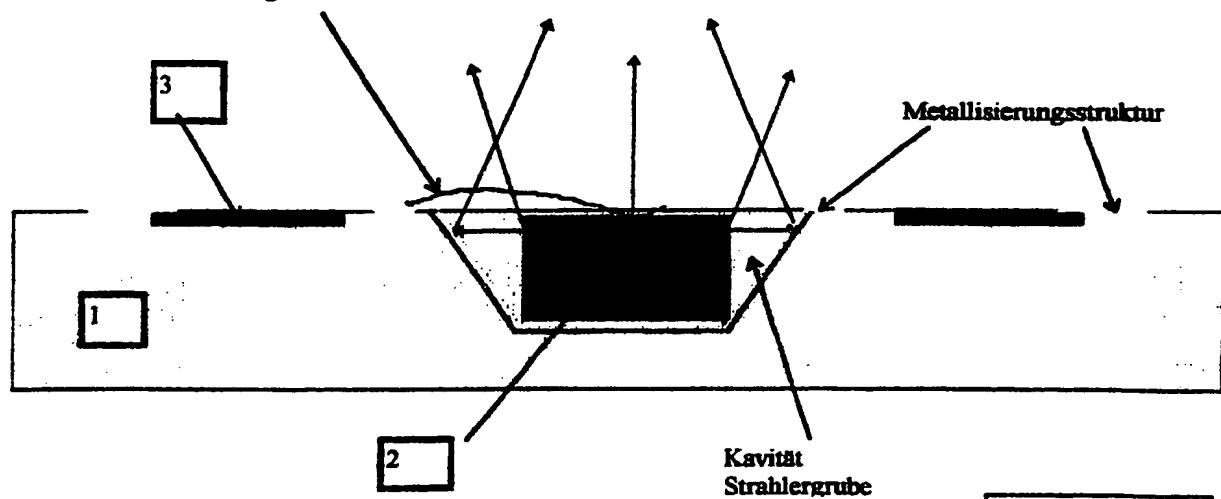
15

10. Verfahren nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß die elektrische Kontaktierung der Rückseite der implantierten Bauelemente durch Leitklebung auf einer nichtoxidierenden TiN-Metallisierungsschicht des Silizium-Trägers erfolgt.

20



Figur 1

Drahtkontaktierung der Vorderseite

Figur 2

INTERNATIONAL SEARCH REPORT

I. National Application No
PCT/DE 97/02812

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H01L25/18 H01L29/06 H01L25/16

According to International Patent Classification(IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 92 03844 A (GRUMMAN AEROSPACE CORP) 5 March 1992	1
A	see page 9, line 1-4; figures 7,8 see page 10, line 29-33 ---	2,3,6
Y	PATENT ABSTRACTS OF JAPAN vol. 011, no. 179 (E-514), 9 June 1987 & JP 62 011240 A (SONY CORP), 20 January 1987, see abstract ---	1
A	R.T. DENNISON ET AL: "dynamic random-access memory with selectable rows overlay" IBM TECHNICAL DISCLOSURE BULLETIN, vol. 21, no. 5, October 1978, NEW YORK, pages 1902-1903, XP002072391 see the whole document -----	1,4

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

° Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report

22 July 1998

05/08/1998

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.
Fax: (+31-70) 340-3016

Authorized officer

De Raeve, R

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 97/02812

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 9203844	A 05-03-1992	US 5093708 A	03-03-1992

INTERNATIONALER RECHERCHENBERICHT

nationales Aktenzeichen

PCT/DE 97/02812

A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 6 H01L25/18 H01L29/06 H01L25/16

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 6 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie ³	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	WO 92 03844 A (GRUMMAN AEROSPACE CORP) 5. März 1992	1
A	siehe Seite 9, Zeile 1-4; Abbildungen 7,8 siehe Seite 10, Zeile 29-33 ---	2, 3, 6
Y	PATENT ABSTRACTS OF JAPAN vol. 011, no. 179 (E-514), 9.Juni 1987 & JP 62 011240 A (SONY CORP), 20.Januar 1987, siehe Zusammenfassung ---	1
A	R.T. DENNISON ET AL: "dynamic random-access memory with selectable ros overlay" IBM TECHNICAL DISCLOSURE BULLETIN, Bd. 21, Nr. 5, Oktober 1978, NEW YORK, Seiten 1902-1903, XP002072391 siehe das ganze Dokument -----	1, 4

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

³ Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

Absendedatum des internationalen Recherchenberichts

22.Juli 1998

05/08/1998

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

De Raeve, R

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

1. nationales Aktenzeichen

PCT/DE 97/02812

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
WO 9203844 A	05-03-1992	US 5093708 A	03-03-1992

THIS PAGE BLANK (USPTO)

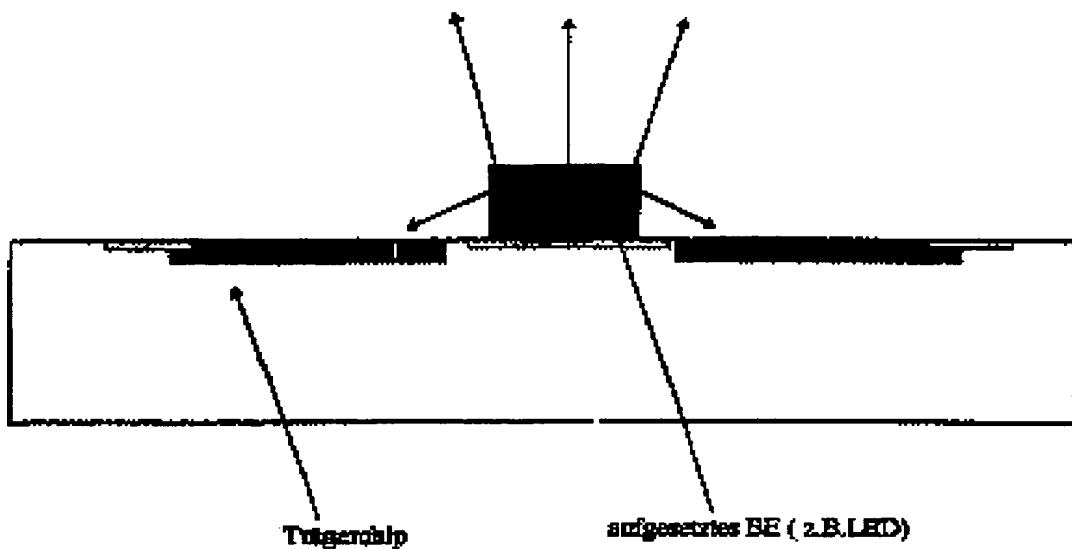


Figure 1

Drahtkontaktierung der Vorderseite

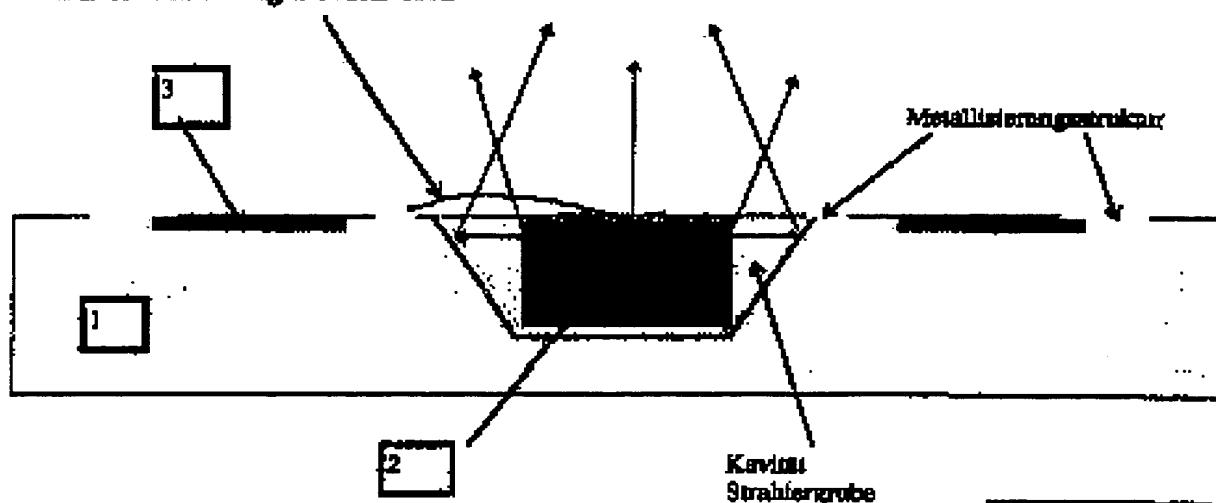


Figure 2

THIS PAGE BLANK (USPTO)